

1

【特許請求の範囲】

【請求項1】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が活性化される度毎に所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正の極性または負の極性を有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、

奇数列の各信号線には正極性の階調電圧を供給すると同時に偶数列の各信号線には負極性の階調電圧を供給する第1の動作と、奇数列の各信号線には負極性の階調電圧を供給すると同時に偶数列の各信号線には正極性の階調電圧を供給する第2の動作とを所定の周期で交互に繰り返させる切換手段と、

前記第1の動作と前記第2の動作との間の切換時に所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する液晶ディスプレイ用信号線駆動回路。

【請求項2】 前記短絡手段は、各隣合う一対の信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する期間だけ前記スイッチ手段を閉状態とするスイッチ制御手段とを有することを特徴とする請求項1に記載の信号線駆動回路。

【請求項3】 前記短絡手段は、全ての隣合う信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する期間だけ前記スイッチ手段を閉状態とするスイッチ制御手段とを有することを特徴とする請求項1に記載の信号線駆動回路。

【請求項4】 前記短絡手段は、前記スイッチ手段が閉状態になっている期間中に、前記対向電極電圧にほぼ等しい電圧を与える電圧源に各々の信号線を電気的に接続させる接続手段を有することを特徴とする請求項1ないし3のいずれかに記載の信号線駆動回路。

【請求項5】 前記切換手段は、前記ゲート線が線順次走査で駆動されるライン周期またはその整数倍の周期で前記第1の動作と前記第2の動作とを交互に繰り返させるとともに、各々の前記画素電極に前記階調電圧が印加されるフレーム周期で前記第1の動作と前記第2の動作とを交互に繰り返させる請求項1ないし4のいずれかに記載の信号線駆動回路。

【請求項6】 マトリクス状に配置された複数の画素電極と1つの対向電極との間に液晶が充填され、各々の前

2

記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各対応するゲート線に電気的に接続された液晶パネルと、

前記対向電極に一定の対向電極電圧を印加する手段と、前記ゲート線を線順次走査で順番に活性化するゲート線駆動手段と、

各々の前記ゲート線が活性化される度毎に該当する前記画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正の極性または負の極性を有する階調電圧を前記信号線を介して印加する信号線駆動手段と、

前記信号線駆動手段が奇数列の各信号線には正極性の階調電圧を供給すると同時に偶数列の各信号線には負極性の階調電圧を供給する第1の動作と、前記信号線駆動手段が奇数列の各信号線には負極性の階調電圧を供給すると同時に偶数列の各信号線には正極性の階調電圧を供給する第2の動作とを所定の周期で交互に繰り返させる切換手段と、

前記第1の動作と前記第2の動作との間の切換時に所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する液晶表示装置。

【発明の詳細な説明】

【0010】

【発明の属する技術分野】 本発明は、多階調表示を行う液晶ディスプレイの信号線を駆動する駆動回路に関する。

【0020】

【従来の技術】 液晶ディスプレイ (Liquid Crystal Display) の代表的なものとして、薄膜トランジスタ (TFT) 型の液晶ディスプレイ (TFT-LCD) がある。

【0030】 図8に、アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示す。この種のTFT-LCDは、複数本のゲート線Y1, Y2, …と複数本の信号線X1, X2, …とをマトリクス状に交差配置し、各交差点の画素に薄膜トランジスタTFTを配置したTFT液晶パネル100と、この液晶パネル100のゲート線Y1, Y2, …を駆動するための並列接続されたゲート線ドライバG1, G2, …と、液晶パネル100の信号線X1, X2, …を駆動するための並列接続された信号線 (ソース) ドライバS1, S2, …と、各部の動作を制御するコントローラ102と、表示すべき画像信号に対して所要の信号処理を行う画像信号処理回路104と、フルカラー (多階調表示) を実現するための多階調の電圧を発生する階調電圧発生回路106とから構成されている。

【0040】 画像信号処理回路104は、各画素の表示の階調を表すデジタルの画像データDXを各信号線ドライバS1, S2, …に供給する。たとえば64階調の場合は、R, G, Bの各画素につき6ビットの画像データD

X が画像信号処理回路 1 0 4 より各信号線ドライバ S1, S2, … に与えられる。コントローラ 1 0 2 は、水平同期信号 HS および垂直同期信号 VS に同期した種々の制御信号またはタイミング信号を各ゲート線ドライバ G1, G2, … および各信号線ドライバ S1, S2, … に供給する。階調電圧発生回路 1 0 6 は、液晶パネル 1 0 0 の V (電圧) - T (透過率) 特性に基づいて表示の多階調に対応した電圧レベルをそれぞれ有する多段階の階調電圧を各信号線ドライバ S1, S2, … に供給する。

【0 0 5 0】図 9 に、液晶パネル 1 0 0 の典型的な構成を示す。2 枚のガラス基板 1 1 0, 1 1 2 の間に液晶 1 1 4 が封入または充填されている。一方のガラス基板 1 1 0 の内側面において、各ゲート線 Y_i (図示せず) と各信号線 X_j (図示せず) との交差点位置付近に透明導電膜からなる 1 個の画素電極 P_{i, j} と 1 個の薄膜トランジスタ T F T_{i, j} が形成されており、画素電極 P_{i, j} は T F T_{i, j} を介して信号線 X_j に接続され、T F T_{i, j} のゲート電極 T_g はゲート線 Y_i に接続されている。他方のガラス基板 1 1 2 の内側面には R (赤), G (緑), B (青) のカラーフィルタ 1 1 5 を介して透明導電膜からなる対向 (共通) 電極 1 1 6 が一面に形成されている。両ガラス基板 1 1 0, 1 1 2 の外側面にはそれぞれの偏向軸を互いに平行または直交させるようにして偏向板 1 1 8, 1 2 0 が設けられている。

【0 0 6 0】なお、図 9 において、T_s はソース電極、T_d はドレイン電極、1 2 4 は半導体層、1 2 6 は保護膜、1 2 8 はゲート絶縁膜、1 3 0 はブラックマトリクスである。

【0 0 7 0】図 1 0 に、液晶パネル 1 0 0 内の回路構成を示す。各画素電極 P_{i, j} と対向電極 1 1 6 と両者の間に挟まれた液晶 1 1 4 によって 1 画素分の信号蓄積容量 C_s が構成される。ゲート線 Y₁, Y₂, … は、ゲート線ドライバ G1, G2, … により 1 フレーム期間内に通常は線順次走査で 1 行ずつ選択されてアクティブ状態に駆動される。

【0 0 8 0】いま、i 行のゲート線 Y_i が駆動されると、このゲート線 Y_i に接続されている i 行の全ての薄膜トランジスタ T F T_{i, 1}, T F T_{i, 2}, … がオンする。これと同期して、信号線ドライバ S1, S2, … より i 行上の全ての画素に対するアナログの階調電圧がそれぞれ出力され、これらの階調電圧は信号線 X₁, X₂, … およびオン状態の薄膜トランジスタ T F T_{i, 1}, T F T_{i, 2}, … を介してそれぞれ対応する画素電極 P_{i, 1}, P_{i, 2}, … に印加される。この後、次の (i + 1) 行において、ゲート線 Y_{i+1} が選択され、上記と同様の動作が行われる。i 行においては、薄膜トランジスタ T F T_{i, 1}, T F T_{i, 2}, … がオフ状態になることで、各画素に書き込まれた電荷は逃げ道を失い、各電極 P_{i, 1}, P_{i, 2}, … の階調電圧は次の選択時間まで保持される。

【0 0 9 0】このようにして、各画素電極には 1 フレーム

μ 周期で階調電圧が印加されるのであるが、液晶ディスプレイでは液晶分子の劣化防止のため、液晶に電圧が交流の形態で印加されなくてはならない。T F T - L C D において、液晶に交流電圧を印加する方法には、いわゆるコモン一定駆動法とコモン反転駆動法がある。

【0 1 0 0】コモン一定駆動法は、図 1 1 に示すように、対向電極の電圧を一定レベルに固定したまま画素電極に対向電極電圧 (一定値) に対して正の極性を有する電圧と負の極性を有する電圧を交互に印加する。

10 【0 1 1 0】コモン反転駆動法は、図 1 2 に示すように、対向電極の電圧を高レベルと低レベルとの間で反転させながら画素電極に対向電極電圧に対して正の極性を有する電圧と負の極性を有する電圧を交互に印加する。この場合、対向電極の電圧が高レベルの時に画素電極にはこの高レベルを基準として負の極性を有する電圧が印加され、対向電極の電圧が低レベルの時に画素電極にはこの低レベルを基準として正の極性を有する電圧が印加されることになる。

20 【0 1 2 0】コモン反転駆動法は、画素電極の電圧振幅がコモン一定駆動法の場合と比べて 1 / 2 で済むので低電圧ドライバが使えるという利点はあるが、大容量の対向電極を交流駆動するために消費電力が多いうえ、X 方向でのドット反転が行えず、表示品質の点でも劣る欠点がある。反対に、コモン一定駆動法は、低電圧ドライバを使えない反面、コモン反転駆動法よりも消費電力が少なく、また Y 方向だけでなく X 方向でのドット反転も可能であり、表示品質に優れている。このようなことから、特に大画面の T F T - L C D ではコモン一定駆動法が適していると云われている。

30 【0 1 3 0】図 1 3 に、完全ドット反転のパターンを示す。図示のように、フレーム F が切り替わる度毎に (F_n, F_{n+1})、液晶パネル 1 0 0 内の各画素に書き込まれる階調電圧の極性が交互に反転する。そして、Y 方向で 1 ライン毎に各画素の極性が反転するとともに、X 方向でも 1 画素毎に極性が反転する。

40 【0 1 4 0】コモン反転駆動法では、対向電極電圧のレベルをフレーム周期およびライン周期に反転させることで、フレーム周期およびライン周期 (Y 方向) で各画素における階調電圧の極性を反転させることができる。しかし、一時点においては、対向電極電圧に対して正極性もしくは負極性いずれか一方の極性でしか信号線を駆動することができない。このため、同時にオン状態となる 1 行分の画素に正極性もしくは負極性いずれか一方の極性でしか階調電圧を印加できず、X 方向で 1 画素毎に階調電圧の極性を反転させることはできない。

50 【0 1 5 0】これに対して、コモン一定駆動法では、任意の時点において対向電極電圧からみて正極性および負極性の階調電圧を同時に選択することができるため、図 1 3 に示すように、液晶パネル 1 0 0 内の全画素についてフレーム周期および Y 方向だけでなく、X 方向でも 1

画素毎に極性を交互に反転させることが可能である。このように、隣合う信号線ないし画素電極で階調電圧の極性が反転することで、書込み時に対向電極等で流れる電流が隣同士で打ち消し合い、これによって表示品質の低下が抑えられる。

【0160】

【発明が解決しようとする課題】上記のようなコモン一定駆動法において完全ドット反転を行う場合、各信号線 Xj 上の駆動（階調）電圧は、1 水平走査期間毎に図 11 と同様の波形で極性が交互に反転する。この場合、信号線ドライバ S は、水平走査期間の切り替わり時に各信号線 Xj を対向電極電圧を基準（中心）として一方の極性の階調電圧から他方の極性の階調電圧へ振るようにして駆動する。

【0170】このような信号線 Xj 上の電圧スイング幅はこの信号線 Xj 上（Y 方向）で相前後する（隣合う）画素の表示階調の和に比例する。したがって、たとえば、相前後する画素のいずれも最大表示階調を有する場合には、正極性（または負極性）の最大階調電圧から負極性（または正極性）の最大階調電圧へ信号線 Xj 上の電圧をフルスイングさせなければならない。このため、信号線ドライバ S は大きな駆動能力を持たなくてはならないうえ、電力を多量に消費することになる。

【0180】今後、液晶表示装置はますます低消費電力化を求められる。その中でも、信号線ドライバに対する低消費電力化の要求はますます強くなっている。

【0190】本発明は、かかる従来技術の問題点に鑑みてなされたもので、低消費電力方式でコモン一定駆動法のドット反転駆動を行えるようにした液晶ディスプレイ用の信号線駆動回路を提供することを目的とする。

【0200】さらに、本発明は、コモン一定駆動法のドット反転駆動における低消費電力化を簡易な仕掛けで実現する液晶ディスプレイ用の信号線駆動回路を提供することを目的とする。

【0210】

【課題を解決するための手段】上記の目的を達成するため、本発明は、マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各対応するゲート線に電気的に接続され、前記対向電極には所定の対向電極電圧が印加され、各々の前記画素電極には各対応する前記ゲート線が駆動される度毎に所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正の極性または負の極性を有する階調電圧が前記信号線および前記薄膜トランジスタを介して印加されるように構成された液晶ディスプレイ用の信号線駆動回路において、奇数列の各信号線には正極性の階調電圧を供給すると同時に偶数列の各信号線には負極性の階調電圧を供給

する第 1 の動作と、奇数列の各信号線には負極性の階調電圧を供給すると同時に偶数列の各信号線には正極性の階調電圧を供給する第 2 の動作とを所定の周期で交互に繰り返させる切換手段と、前記第 1 の動作と前記第 2 の動作との間の切換時に所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する。

【0220】本発明の好ましい一実施態様として、前記短絡手段は、各隣合う一対の信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する期間だけ前記スイッチ手段を閉状態とするスイッチ制御手段とを有する。

【0230】あるいは、別の実施態様として、前記短絡手段は、全ての隣合う信号線の間に接続されたスイッチ手段と、定常時は前記スイッチ手段を開状態とし、前記切換時に各信号線に対する階調電圧の供給が中断する期間だけ前記スイッチ手段を閉状態とするスイッチ制御手段とを有する。

【0240】他の実施態様として、前記短絡手段は、前記スイッチ手段が閉状態になっている期間中に、前記対向電極電圧にほぼ等しい電圧を与える電圧源に各々の信号線を電気的に接続させる接続手段を有する。

【0250】また、本発明の好ましい一実施態様として、前記切換手段は、前記ゲート線が線順次走査で駆動されるライン周期またはその整数倍の周期で前記第 1 の動作と前記第 2 の動作とを交互に繰り返させるとともに、各々の前記画素電極に前記階調電圧が印加されるフレーム周期で前記第 1 の動作と前記第 2 の動作とを交互に繰り返させる。

【0260】また、本発明の液晶表示装置は、マトリクス状に配置された複数の画素電極と 1 つの対向電極との間に液晶が充填され、各々の前記画素電極は各対応する薄膜トランジスタを介して各対応する信号線に電気的に接続されるとともに、前記薄膜トランジスタの制御端子が各対応するゲート線に電気的に接続された液晶パネルと、前記対向電極に一定の対向電極電圧を印加する手段と、前記ゲート線を線順次走査で順番に活性化するゲート線駆動手段と、各々の前記ゲート線が活性化される度毎に該当する前記画素電極に対して所望の表示階調に対応した電圧レベルを有し、かつ前記対向電極電圧に対して相対的に正の極性または負の極性を有する階調電圧を前記信号線を介して印加する信号線駆動手段と、前記信号線駆動手段が奇数列の各信号線には正極性の階調電圧を供給すると同時に偶数列の各信号線には負極性の階調電圧を供給する第 1 の動作と、前記信号線駆動手段が奇数列の各信号線には負極性の階調電圧を供給すると同時に偶数列の各信号線には正極性の階調電圧を供給する第 2 の動作とを所定の周期で交互に繰り返させる切換手段と、前記第 1 の動作と前記第 2 の動作との間の切換時に

所定のタイミングで任意の奇数列および偶数列の信号線同士を一時的に短絡させる短絡手段とを有する。

【0270】

【発明の実施の態様】以下、図1～図7を参照して本発明の実施例を説明する。

【0280】図1は、本発明の一実施例による信号線ドライバの要部の回路構成を示し、より詳細には各隣合う2つのチャンネル分の駆動部の構成を示す。この信号線ドライバは、たとえば図8に示したアクティブマトリクス方式のフルカラーTFT-LCDに用いられてよい。なお、図示の隣合う2つのチャンネル分の駆動部は、図8に示す液晶パネル100の隣合う第j列および第(j+1)列の信号線Xj, Xj+1を駆動するものとする。

【0290】図1において、各隣合う2つのチャンネル分の駆動部は、一对のレジスタ10L, 10R、一对の第1データラッチ回路12L, 12R、一对の第1切換回路14L, 14R、一对の第2データラッチ回路16L, 16R、一对のレベルシフタ18L, 18R、一对のDAコンバータ20L, 20R、一对の出力アンプ22L, 22R、一对の第2切換回路24L, 24Rおよび一对の出力パッド26L, 26Rから構成されている。

【0300】左側および右側のレジスタ10L, 10Rは、所定の周期たとえば1ライン（水平走査期間）の周期で、画像信号処理回路104（図8）からの各対応するチャンネルに割り当てられた1画素分の画像データDXj, DXj+1をそれぞれ取り込む。そして、所定のタイミングで両レジスタ10L, 10Rよりそれら1画素分の画像データDXj, DXj+1がそれぞれ左側および右側の第1データラッチ回路12L, 12Rにラッチされるようになっている。

【0310】左側の第1データラッチ回路12Lの出力端子は、各ビット毎に、左側の第1切換回路14Lの一方（左側）の入力端子に接続されるとともに、右側の第1切換回路14Rの他方（右側）の入力端子に接続されている。右側の第1データラッチ回路12Rの出力端子は、各ビット毎に、右側の第1切換回路14Rの一方（左側）の入力端子に接続されるとともに左側の第1切換回路14Lの他方（右側）の入力端子に接続されている。

【0320】左側および右側の第1切換回路14L, 14Rは、コントローラ102（図8）からの交流化信号または極性切換信号REVにより、たとえば1ライン周期で（1水平走査期間毎に）、一方（左側）の入力端子と他方（右側）の入力端子とに交互に切り換えられる。左側および右側の第1切換回路14L, 14Rの出力端子は、それぞれ左側および右側の第2データラッチ回路16L, 16Rの入力端子に接続されている。

【0330】左側および右側の第2データラッチ回路16L, 16Rは、交流化信号REVに同期したコントロ

ーラ102からのデータ・ラッチ制御信号TPにより1水平走査期間置きで左側および右側の第1切換回路14L, 14Rを介して左側の第1データラッチ回路12Lもしくは右側の第1データラッチ回路12Rのいずれかより1画素分の画像データを取り込むようになっている。左側および右側の第2データラッチ回路16L, 16Rの出力端子は、それぞれ左側および右側のレベルシフタ18L, 18Rを介して左側および右側のDAコンバータ20L, 20Rの入力端子に接続されている。

【0340】レベルシフタ18L, 18Rは、DAコンバータ20L, 20R内の回路素子がコモン一定駆動法による正極性と負極性の双方にわたる階調電圧を扱えるように、画像データの論理電圧（たとえば5V）を高い電圧（たとえば10V）に変換する。

【0350】左側のDAコンバータ20Lには、階調電圧発生回路28より正極性の全て（K個）の階調電圧V1～VKが供給される。一方、右側のDAコンバータ20Rには、階調電圧発生回路28より負極性の全て（K個）の階調電圧V'K～V'1が供給される。

【0360】階調電圧発生回路28は、たとえば抵抗分圧回路からなり、液晶パネル100のV-T特性にしたがって各表示階調に対応した電圧レベルを有する各階調電圧が得られるように適当な箇所の接続点（ノード）に補正用の基準電圧vが供給されている。

【0370】たとえば、コモン一定駆動法において、対向電極の電圧VCOMを5ボルトに固定し、各画素電極に正極性の階調電圧（5～10ボルト）および負極性の階調電圧（5～0ボルト）を交互に印加する場合、正極性の最大階調電圧VKは10ボルトに最も近い値に設定され、負極性の最大階調電圧V'Kは0ボルトに最も近い値に設定され、両極性の最小階調電圧V1, V'1は5ボルト付近に設定される。

【0380】左側のDAコンバータ20Lは、左側レベルシフタ18Lより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する正極性の階調電圧Vxを選択して出力するように構成されている。一方、右側のDAコンバータ20Rは、右側レベルシフタ18Rより入力した1画素分の画像データをデコードし、その画像データの表す表示階調に対応した電圧レベルを有する負極性の階調電圧V'xを選択して出力するように構成されている。左側および右側のDAコンバータ20L, 20Rの出力端子は、それぞれ左側および右側の出力アンプ22L, 22Rの入力端子に接続されている。

【0390】左側の出力アンプ22Lは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、正極性電圧の範囲内でシンク状態で動作するように構成されている。この左側の出力アンプ22Lの出力端子は、左側の第2切換回路24Lの一方（左側）の入力

10

20

30

40

50

端子に接続されるとともに、右側の第2切換回路24Rの他方(右側)の入力端子に接続されている。

【0400】右側の出力アンプ22Rは、インピーダンス変換機能を有する演算増幅器の電圧フォロアからなり、負極性電圧の範囲内でソース状態で動作するように構成されている。この右側の出力アンプ22Rの出力端子は、右側の第2切換回路24Rの一方(左側)の入力端子に接続されるとともに、左側の第2切換回路24Lの他方(右側)の入力端子に接続されている。

【0410】各々の第2切換回路24L、24Rは、交流化信号REVとデータ・ラッチ制御信号TPとに基づいて切換制御回路32より発生される切換制御信号SWによって切り換わるようになっている。

【0420】左側および右側の第2切換回路24L、24Rの出力端子は、それぞれ左側および右側の出力パッド26L、26Rを介して各対応するチャンネル(列)の信号線Xj、Xj+1(図1では図示せず)に電気的に接続されている。両出力パッド26L、26Rないし両信号線Xj、Xj+1の間には開閉スイッチ30が接続されている。

【0430】この開閉スイッチ30は、切換制御回路32より与えられる開閉制御信号SHによって開閉する。このスイッチ30が閉(導通)状態になると、このスイッチ30および出力パッド26L、26Rを介して相隣接する信号線Xj、Xj+1同士が電気的に短絡するようになっている。

【0440】次に、この実施例による信号線ドライバの動作を説明する。図2に、完全ドット反転を行う場合の各部の信号の波形(一例)を示す。

【0450】この信号線ドライバを含むTF T-LCDにおいては、ゲート線ドライバG1、G2、…により液晶パネル100のゲート線Y1、Y2、…が1フレーム期間内に通常は線順次走査で1ライン(行)ずつ選択されてアクティブ状態に駆動される。各ゲート線Yが駆動される度に、各信号線ドライバでは、各チャンネルの出力パッド26より当該ライン上の各対応する画素電極に印加すべき階調電圧Vが出力される。

【0460】いま、i行のゲート線Yiが駆動されるとき、交流化信号REVの論理値がLで、各第1切換回路14L、14Rおよび各第2切換回路24L、24Rがそれぞれ一方(左側)の入力端子に切り換わっているとする。この時、第1データラッチ回路12L、12Rより、液晶パネル100内のi行j列およびi行(j+1)列にそれぞれ位置する2つの画素の表示階調を表す画像データDXi,j、DXi,j+1が、第1切換回路14L、14R、第2データラッチ回路16L、16Rおよびレベルシフト18L、18Rを介して左側および右側のDAコンバータ20L、20Rにそれぞれ入力される。

【0470】これにより、左側のDAコンバータ20L

からは、画像データDXi,jの表す表示階調に対応した電圧レベルを有する正極性の階調電圧Vjが出力される。一方、右側のDAコンバータ20Rからは、画像データDXi,j+1の表す表示階調に対応した電圧レベルを有する負極性の階調電圧V'j+1が出力される。

【0480】左側のDAコンバータ20Lより出力された正極性の階調電圧Vjは、左側の出力アンプ22Lおよび第2切換回路24Lを介して左側の出力パッド26Lよりj列の信号線Xjに出力される。一方、右側のDAコンバータ20Rより出力された負極性の階調電圧V'j+1は右側の出力アンプ22Rおよび第2切換回路24Rを介して右側の出力パッド26Rより(j+1)列の信号線Xj+1に出力される。

【0490】この際、左側の出力アンプ22Lはj列の信号線Xjを対向電極電圧VCOMに対応する中間レベル付近から正極性の階調電圧Vjまで駆動すればよく、右側の出力アンプ22Rは(j+1)列の信号線Xj+1を中間レベル(VCOM)付近から負極性の階調電圧V'j+1まで駆動すればよい。

【0500】こうして各信号線Xj、Xj+1の電位がそれぞれ所望の階調電圧Vj、V'j+1に達した後、所定のタイミングでゲート線ドライバGによりi行のゲート線YiがHレベルに活性化され、このゲート線Yiに接続されているi行の全ての薄膜トランジスタTF Ti,1、TF Ti,2、…がオン状態になる。これにより、j列の信号線Xjより正極性の階調電圧Vjが薄膜トランジスタTF Ti,jを介してi行j列の画素電極Pi,jに書き込まれ、(j+1)列の信号線Xj+1より負極性の階調電圧V'j+1が薄膜トランジスタTF Ti,j+1を介してi行(j+1)列の画素電極Pi,j+1に書き込まれる。

【0510】次に、(i+1)行のゲート線Yi+1が駆動されるときは、その水平走査期間の開始時に交流化信号REVの論理値がLからHに反転すると同時に、データ・ラッチ制御信号TPがLレベルからHレベルに立ち上がる。

【0520】交流化信号REVの論理値がHになることで、第1切換回路14L、14Rはそれぞれ他方(右側)の入力端子に切り換わる。そして、データ・ラッチ制御信号TPのHレベルへの立ち上りに応動して、左側の第1データラッチ回路12Lよりj列の信号線Xjに対応した1画素分の画像データDXi+1,jが右側の第1切換回路14Rを介して右側の第2データラッチ回路16Rに転送されると同時に、右側の第1データラッチ回路12Rより(j+1)列の信号線Xj+1に対応した1画素分の画像データDXi+1,j+1が左側の第1切換回路14Lを介して左側の第2データラッチ回路16Lに転送される。

【0530】一方、上記のようなデータ・ラッチ制御信号TPの立ち上がり同期して、第2切換回路24L、24Rが切換制御回路32からの切換制御信号SWによ

り遮断状態になる。これにより、両出力アンプ 22L, 22R は出力パッド 26L, 26R ないし信号線 Xj, Xj+1 から電氣的に遮断される。

【0540】この場合、データ・ラッチ制御信号 TP の立ち上がりと同期して交流化信号 REV の論理値が反転しているの、上記のように第 2 切換回路 24L, 24R が遮断状態になっている間に、開閉スイッチ 30 が切換制御回路 32 からの開閉制御信号 SH により導通状態となる。これにより、この導通状態のスイッチ 30 および出力パッド 26L, 26R を介して相隣接する信号線 Xj, Xj+1 同士が互いに短絡する。

【0550】前回の水平走査期間中、j 列の信号線 Xj は左側の DA コンバータ 20L より正極性の階調電圧 Vj を給電され、(j+1) 列の信号線 Xj+1 は右側の DA コンバータ 20R より負極性の階調電圧 Vj+1 を給電されている。したがって、交流化の極性反転時でかつ水平走査期間の開始時に両信号線 Xj, Xj+1 がスイッチ 30 を介して互いに短絡することにより、両信号線 Xj, Xj+1 上の電位は互いに打ち消し合い、それぞれ基準レベル (VCOM) 付近に平均化される。

【0560】データ・ラッチ制御信号 TP が H レベルから L レベルに立ち下がると、左側および右側の第 2 データラッチ回路 16L, 16R より 1 画素分の画像データ DXi+1, j+1, DXi+1, j が、それぞれ左側および右側のレベルシフタ 18L, 18R を介して左側および右側の DA コンバータ 20L, 20R に入力される。

【0570】これにより、左側の DA コンバータ 20L からは、画像データ DXi+1, j+1 の表す表示階調に対応した電圧レベルを有する正極性の階調電圧 Vj+1 が出力される。一方、右側の DA コンバータ 20R からは、画像データ DXi+1, j の表す表示階調に対応した電圧レベルを有する負極性の階調電圧 V'j が出力される。

【0580】一方、上記のようにデータ・ラッチ制御信号 TP が H レベルから L レベルに立ち下がる時、これと同時に切換制御回路 32 の制御により開閉スイッチ 30 が開状態に切り換わり、かつ第 2 切換回路 24L, 24R がそれぞれ他方 (右側) の入力端子に切り換わる。

【0590】スイッチ 30 が開状態になることで、両信号線 Xj, Xj+1 は電氣的に遮断される。また、第 2 切換回路 24L, 24R がそれぞれ他方 (右側) の入力端子に切り換わることで、左側の出力アンプ 22L の出力端子は右側の第 2 切換回路 24R を介して右側の出力パッド 26R に接続され、右側の出力アンプ 22R の出力端子は左側の第 2 切換回路 24L を介して左側の出力パッド 26L に接続される。

【0600】これにより、左側の DA コンバータ 20L より出力された正極性の階調電圧 Vj+1 は、左側の出力アンプ 22L および右側の第 2 切換回路 24R を介して右側の出力パッド 26R より (j+1) 列の信号線 Xj+1 に出力され、この信号線 Xj+1 に接続されている (i

+1) 行の薄膜トランジスタ TFTi+1, j+1 を介して対応する画素電極 Pi+1, j+1 に印加される。

【0610】一方、右側の DA コンバータ 20R より出力された負極性の階調電圧 V'j は、右側の出力アンプ 22R および左側の第 2 切換回路 24L を介して左側の出力パッド 26L より j 列の信号線 Xj に出力され、この信号線 Xj に接続されている (i+1) 行の薄膜トランジスタ TFTi+1, j を介して対応する画素電極 Pi+1, j に印加される。

10 【0620】この場合、左側の出力アンプ 22L は (j+1) 列の信号線 Xj+1 を中間レベル (VCOM) 付近から正極性の階調電圧 Vj+1 まで駆動すればよく、右側の出力アンプ 22R は j 列の信号線 Xj を中間レベル (VCOM) 付近から負極性の階調電圧 V'j まで駆動すればよい。

【0630】こうして各信号線 Xj, Xj+1 の電位がそれぞれ所望の階調電圧 V'j, Vj+1 に達してから、所定のタイミングでゲート線ドライバ G により (i+1) 行のゲート線 Yi+1 が H レベルに活性化され、このゲート線 Yi+1 に接続されている (i+1) 行の全ての薄膜トランジスタ TFTi+1, 1, TFTi+1, 2, ……がオン状態になる。これによって、j 列の信号線 Xj より負極性の階調電圧 V'j が薄膜トランジスタ TFTi+1, j を介して (i+1) 行 j 列の画素電極 Pi+1, j に書き込まれ、(j+1) 列の信号線 Xj+1 より正極性の階調電圧 Vj+1 が薄膜トランジスタ TFTi+1, j+1 を介して (i+1) 行 (j+1) 列の画素電極 Pi+1, j+1 に書き込まれる。

【0640】なお、i 行のゲート線 Yi が駆動されるときでも、その水平走査期間の開始時に開閉制御信号 SH が H レベルになっている期間中に開閉スイッチ 30 が導通して両信号線 Xj, Xj+1 が互いに短絡し、上記のような両信号線 Xj, Xj+1 間の電位の打ち消しまたは平均化が行われる。

【0650】以後、上記した 2 ライン分の動作が繰り返される。これにより、液晶パネル 100 の Y 方向において 1 画素毎に階調電圧の極性が反転する。また、X 方向においても 1 画素毎に (各隣接する 2 つの信号線 Xj, Xj+1 の間で) 階調電圧の極性が反転する。

40 【0660】なお、各切換回路 14L, 14R, 24L, 24R は、交流化信号 REV により 1 フレーム毎にも切り換わる (すなわち各行のゲート線 Yi が駆動される時の各切換回路 14L, 14R, 24L, 24R の位置がフレーム毎に反転する) ように制御される。このようなフレーム周期の反転により、図 11 に示すようなコモン一定駆動法による電極電圧波形が得られる。

【0670】上記したように、本実施例による信号線ドライバでは、各隣合う 2 つのチャンネル分の駆動部において、左側の DA コンバータ 20L および出力アンプ 22L を正極性の階調電圧専用に構成するとともに右側の

DAコンバータ20Rおよび出力アンプ22Rを負極性の階調電圧専用に構成し、両DAコンバータ20L, 20Rの前段に設けた第1切換回路14L, 14Rと両出力アンプ22L, 22Rの後段に設けた第2切換回路24L, 24Rとを所定の周期たとえば1ライン周期かつフレーム周期で切り換えることにより、図11に示すようなコモン一定駆動法と図13に示すような完全ドット反転(1画素毎の反転)とを実現している。

【0680】各出力アンプ22L, 22Rは、片方の極性の階調電圧の範囲で常時シンク状態もしくはソース状態のいずれかで動作すればよく、特に交流化の極性反転時には中間レベル(VCOM)付近から片方の極性の所望の階調電圧まで信号線Xj, Xj+1を駆動すればよく、電圧スイング幅は従来のほぼ半分で済む。このため、消費電力が大幅に低減される。

【0690】また、駆動能力が小さくて済むため、各出力アンプ22L, 22Rにおいて、1チャンネル分の回路規模が小さくなるとともに、ダイナミックレンジまたはリニアリティやオフセット等の特性も向上する。

【0700】なお、交流化周期を任意に選択することが可能である。図3に、各列(Y方向)の画素に書き込む階調電圧の極性を2ライン(2水平走査期間)周期で反転させる場合の各部の信号の波形(一例)を示す。

【0710】図3に示すように、開閉制御信号SHは、交流化信号REVの論理値が反転する時にデータ・ラッチ制御信号TPと同じタイミングで活性化される。つまり、各信号線X上で電圧の極性が反転する時に、開閉スイッチ30が閉じて、各隣合う信号線Xj, Xj+1同士を短絡させる。これにより、各信号線Xの電位は隣の信号線の逆極性の電位と互いに打ち消し合うようにして中間レベル(VCOM)付近に平均化され、その平均レベルから所定の出力アンプ22によって逆極性の所望の階調電圧まで駆動されることになる。

【0720】なお、図2および図3では、説明と理解の便宜上、各ラインにおいてj列の信号線Xjに与えられる階調電圧と(j+1)列の信号線Xj+1に与えられる階調電圧とはほぼ等しいものとして図示している。

【0730】図4に、第2切換回路24L, 24Rおよび開閉スイッチ30の回路構成例を示す。この構成例では、各々の第2切換回路24L, 24Rが一对のトランスファゲートTGa, TGbからなり、開閉スイッチ30が1個のトランスファゲートTGcからなる。切換制御回路32より、各々の第2切換回路24L, 24RのトランスファゲートTGa, TGbには切換制御信号SWa, SWbがそれぞれ与えられ、開閉スイッチ30のトランスファゲートTGcには開閉制御信号SHが与えられる。

【0740】切換制御信号[SWa, SWb]の論理値が[L, L]のときは、各々の第2切換回路24L, 24Rにおいて左側のトランスファゲートTGaがオン

で、右側のトランスファゲートTGbがオフとなる。これにより、左側の出力アンプ22Lの出力端子は左側の第2切換回路24Lの左側トランスファゲートTGaを介して左側の出力パッド26Lに接続され、右側の出力アンプ22Rの出力端子は右側の第2切換回路24Rの左側トランスファゲートTGaを介して右側の出力パッド26Rに接続される。

【0750】反対に、切換制御信号[SWa, SWb]の論理値が[H, H]のときは、各々の第2切換回路24L, 24Rにおいて左側のトランスファゲートTGaがオフで、右側のトランスファゲートTGbがオンとなる。これにより、左側の出力アンプ22Lの出力端子は右側の第2切換回路24Rの右側トランスファゲートTGbを介して右側の出力パッド26Rに接続され、右側の出力アンプ22Rの出力端子は左側の第2切換回路24Lの右側トランスファゲートTGbを介して左側の出力パッド26Lに接続される。

【0760】また、切換制御信号[SWa, SWb]の論理値が[H, L]のときは、各々の第2切換回路24L, 24Rにおいて両トランスファゲートTGa, TGbがどちらもオフとなる。この時、両出力アンプ22L, 22Rのいずれも出力パッド26L, 26Rから遮断される。

【0770】定常時、開閉制御信号SHの論理値はLに保たれ、これにより開閉スイッチ28のトランスファゲートTGcはオフ状態に保持される。しかし、切換制御信号[SWa, SWb]の論理値が[H, L]になっている期間中、つまり第2切換回路24L, 24Rが遮断状態になっている期間中に、開閉制御信号SHがHになり、開閉スイッチ30のトランスファゲートTGcがオン状態になる。そうすると、上記したように、このスイッチ30および出力パッド26L, 26Rを介して相隣接する信号線Xj, Xj+1同士が電氣的に短絡することになる。

【0780】図5に、切換制御回路30の回路構成例を示す。この構成例では、交流化信号REVとデータ・ラッチ制御信号TPとに基づいて遅延回路34、排他的OR回路36、ANDゲート38により開閉制御信号SHが生成されるとともに、この開閉制御信号SHと交流化信号REVとに基づいて反転回路42、ORゲート40およびANDゲート44によって切換制御信号SW(SWa, SWb)が生成される。

【0790】すなわち、交流化信号REVの論理値がHからLへ、またはその逆に反転した時に排他的OR回路36の出力端子に論理値Hのパルス信号が得られる。このパルス信号のパルス幅は遅延回路34における遅延時間に相当し、普通はデータ・ラッチ制御信号TPのパルス幅よりも大きな値に選ばれてよい。

【0800】データ・ラッチ制御信号TPは交流化信号REVに同期して与えられる。REVの論理値が1ライ

10

20

30

40

50

ン周期で反転する場合は、これと同じタイミングで T P の論理値が H になり、AND ゲート 3 8 の出力端子にはデータ・ラッチ制御信号 T P に対応した開閉制御信号 S H が得られる。

【0 8 1 0】交流化信号 R E V が論理値 H から L に反転するときは、この反転時点から AND ゲート 4 4 の出力つまり切換制御信号 S W b が L になる。一方、R E V の反転時にデータ・ラッチ制御信号 T P が H レベルに立ち上がることにより、AND ゲート 3 8 の出力つまり開閉制御信号 S H が H レベルとなり、この開閉制御信号 S H が H レベルに活性化されている間は OR ゲート 4 0 の出力つまり切換制御信号 S W a が H になる。こうして切換制御信号 [S W a , S W b] の論理値が [H , L] となり、各々の第 2 切換回路 2 4 L , 2 4 R において両トランスファゲート T G a , T G b がどちらもオフとなる。これにより、両出力アンプ 2 2 L , 2 2 R のいずれも出力パッド 2 6 L , 2 6 R から遮断される。

【0 8 2 0】そして、開閉制御信号 S H が H レベルであるため、開閉スイッチ 3 0 が閉じて隣合う信号線 X j , X j+1 同士が互いに短絡し、両信号線の間で逆極性の電位同士が互いに打ち消し合い平均化される。

【0 8 3 0】データ・ラッチ制御信号 T P が L レベルに立ち下がると、AND ゲート 3 8 の出力つまり開閉制御信号 S H も L レベルに立ち下がり、開閉スイッチ 3 0 が定常時の開状態に戻る。また、開閉制御信号 S H が L レベルに立ち下がることで、OR ゲート 4 0 の出力つまり切換制御信号 S W b が L になる。こうして、切換制御信号 [S W a , S W b] が [L , L] となり、各々の第 2 切換回路 2 4 L , 2 4 R において左側のトランスファゲート T G a がオンで、右側のトランスファゲート T G b がオフとなる。

【0 8 4 0】交流化信号 R E V が論理値 L から H に反転するときも、その反転時に上記と同様に第 2 切換回路 2 4 L , 2 4 R が一時的に遮断してその間に開閉スイッチ 3 0 が導通して両信号線 X j , X j+1 が互いに短絡し、その直後に各々の第 2 切換回路 2 4 L , 2 4 R において左側のトランスファゲート T G a がオフで、右側のトランスファゲート T G b がオンとなる。

【0 8 5 0】図 6 に、本発明の別の実施例による信号線ドライバの構成例を示す。この信号線ドライバでは、全ての隣合う出力パッドまたは信号線の間を開閉スイッチ 3 0 を接続し、交流化の極性反転時には全ての開閉スイッチ 3 0 を一斉に閉状態にして、全ての信号線 X 1 , X 2 , ……を互いに短絡させるように構成している。この場合には、全ての信号線 X 1 , X 2 , ……の間で正極性の電位と負極性の電位とが互いに打ち消し合って平均化され、各信号線 X 1 , X 2 , ……の電位が中間レベル V COM 付近に収束する。

【0 8 6 0】さらに、この信号線ドライバでは、一端の出力パッド (OUTn) を開閉スイッチ 4 6 を介して対向電

極電圧 V COM またはこれに近い電圧を供給する電源電圧端子に接続している。この開閉スイッチ 4 6 は、全ての開閉スイッチ 3 0 が一斉に閉状態になっている期間中に、好ましくはこの期間の後部で切換制御回路 3 2 からの制御信号 S C によって閉じる。これによって、対向電極電圧 V COM またはこれに近い電圧が閉状態のスイッチ 4 6 および 3 0 , 3 0 , ……を介して全ての信号線 X 1 , X 2 , ……に供給される。この結果、各信号線 X 1 , X 2 , ……の電位が高い精度で中間レベル V COM 付近にリセットされる。

【0 8 7 0】図 7 に、他の実施例による信号線ドライバの要部の回路構成例を示す。この信号線ドライバでは、各チャンネルの駆動部を平行に独立させている。したがって、図 1 および図 6 の構成例におけるような切換回路 1 4 , 2 4 は設けられていない。ただし、各チャンネルの D A コンバータは、階調電圧発生回路 2 8 より正極性の全階調電圧 V 1 ~ V 64 および負極性の全階調電圧 V 64' ~ V 1' を受け取り、その中から 1 つの階調電圧を選択して出力するように動作する。また、各チャンネルの出力アンプ 2 2 は、シンクおよびソースの両機能を備え、正極性の電圧範囲と負極性の電圧範囲とで交互に動作する。

【0 8 8 0】図 7 の構成例では隣合う一対のチャンネル間に開閉スイッチ 3 0 を接続しているが、図 6 と同様に全チャンネル間に開閉スイッチ 3 0 を設けてもよい。

【0 8 9 0】なお、図 1、図 6 および図 7 においては、2 0 L , 2 0 R , 2 0 をそれぞれ D A コンバータと表記しているが、これらは実質的にはデコード回路であり、デジタルデータをアナログ電圧に変換するという意味で、D A コンバータとしている。

【0 9 0 0】

【発明の効果】以上説明したように、本発明の液晶ディスプレイ用信号線駆動回路によれば、コモン一定駆動法のドット反転駆動において交流化の極性反転時に隣合う信号線同士を一時的に短絡させてそれぞれの電位を互いに打ち消させて中間レベル付近に平均化し、この平均化された電位から各信号線を所望の階調電圧まで駆動するようにしたので、駆動部の負担を軽減し、消費電力を大幅に低減させることができる。

【図面の簡単な説明】

【図 1】本発明の一実施例による信号線ドライバの要部の回路構成を示すブロック図である。

【図 2】実施例において完全ドット反転を行う場合の各部の信号の波形 (一例) を示すタイミング図である。

【図 3】実施例において Y 方向に 2 ライン置き of ドット反転を行う場合の各部の信号の波形 (一例) を示すタイミング図である。

【図 4】実施例における第 2 切換回路および開閉スイッチの回路構成例を示す回路図である。

【図 5】実施例における切換制御回路の回路構成例を示

10

20

30

40

50

す回路図である。

【図6】別の実施例による信号線ドライバの回路構成を示すブロック図である。

【図7】他の実施例による信号線ドライバの要部の回路構成を示すブロック図である。

【図8】アクティブマトリクス方式のフルカラーTFT-LCDの構成を模式的に示すブロック図である。

【図9】TFT-LCDの液晶パネルの典型的な構成を示す部分断面図である。

【図10】TFT-LCDの液晶パネル内の回路構成を示す回路図である。

【図11】コモン一定駆動法による画素電極電圧および対向電極電圧の電圧波形を示す図である。

【図12】コモン反転駆動法による画素電極電圧および

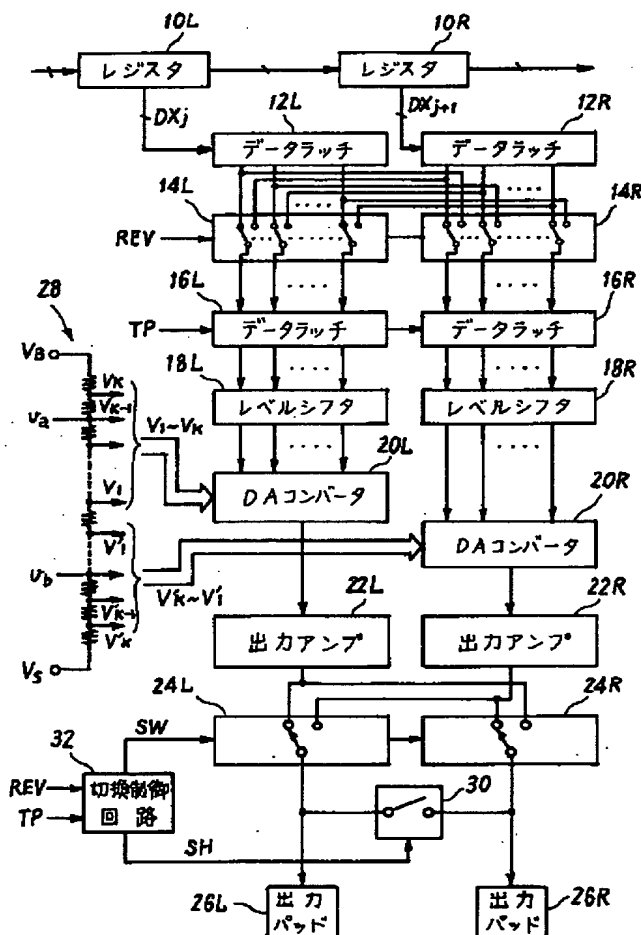
対向電極電圧の電圧波形を示す図である。

【図13】液晶ディスプレイにおける完全ドット反転のパターンを示す図である。

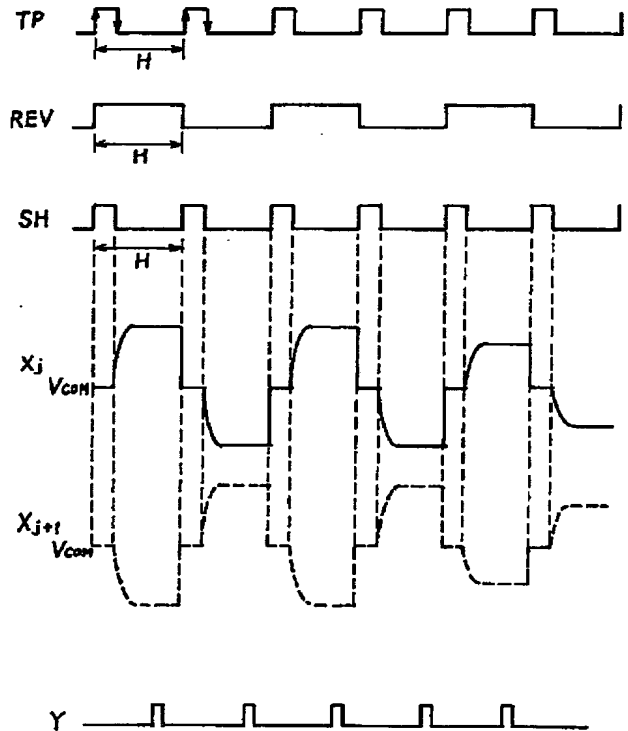
【符号の説明】

12, 12L, 12R	第1データラッチ回路
14, 14L, 14R	第1切換回路
16, 16L, 16R	第2データラッチ回路
18, 18L, 18R	レベルシフタ
20, 20L, 20R	DAコンバータ
22, 22L, 22R	出力アンプ
24L, 24R	第2切換回路
30	開閉スイッチ
32	切換制御回路
46	開閉スイッチ

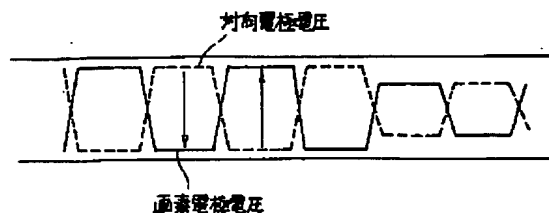
【図1】



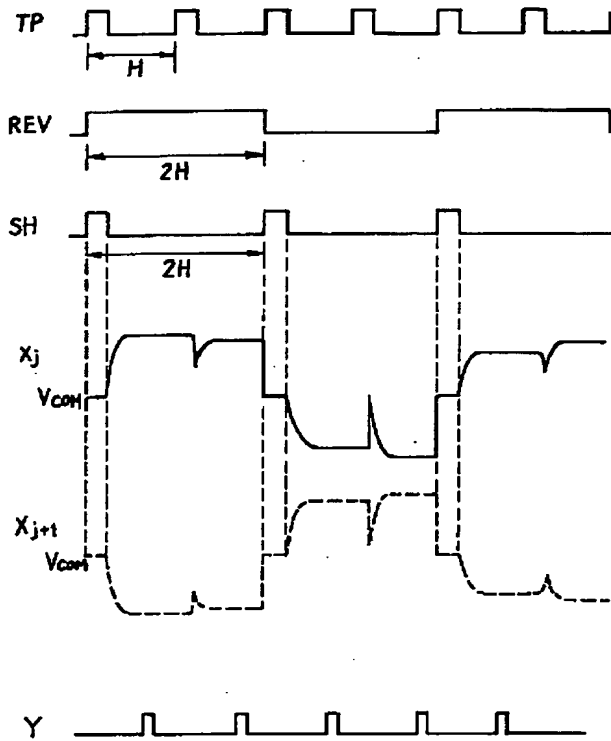
【図2】



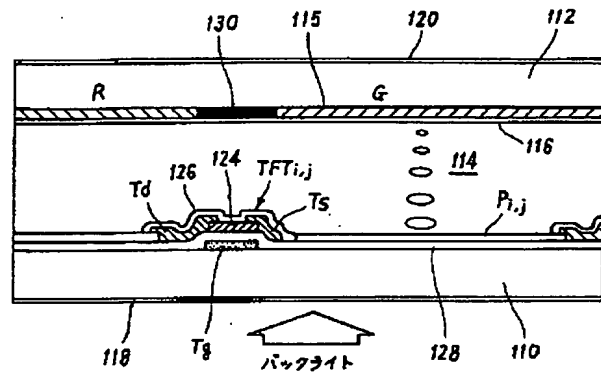
【図12】



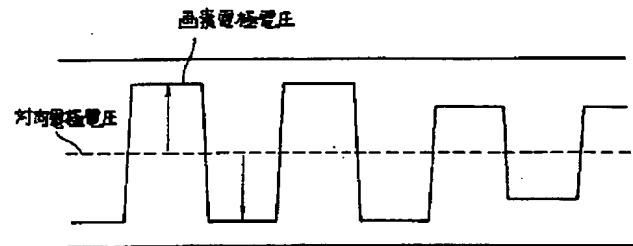
【図 3】



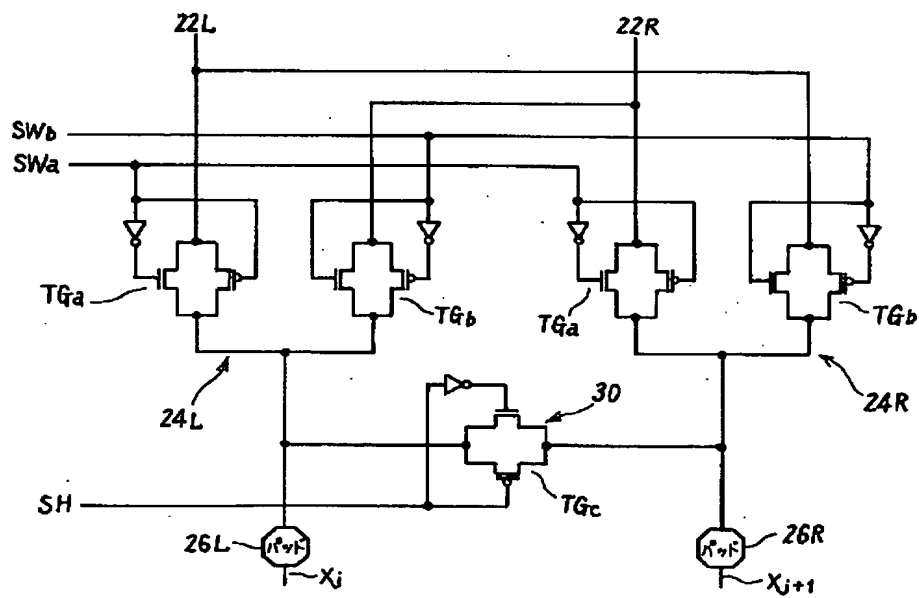
【図 9】



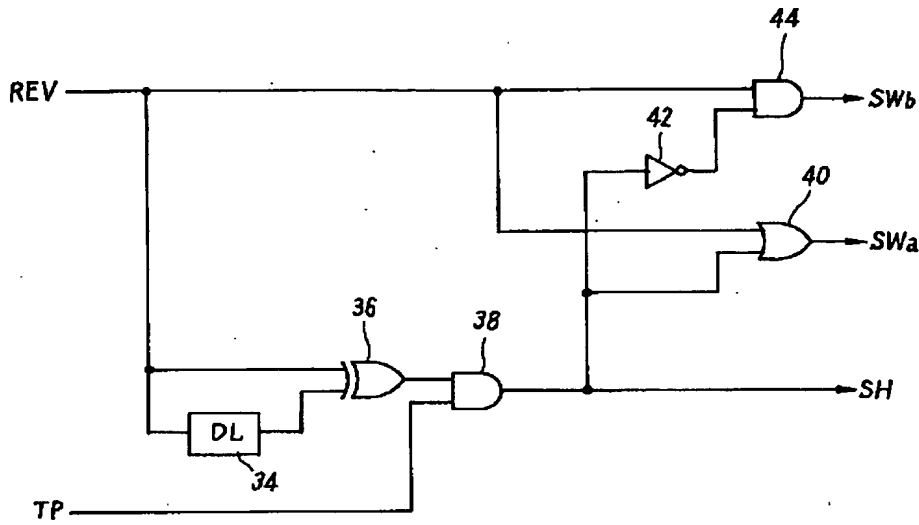
【図 11】



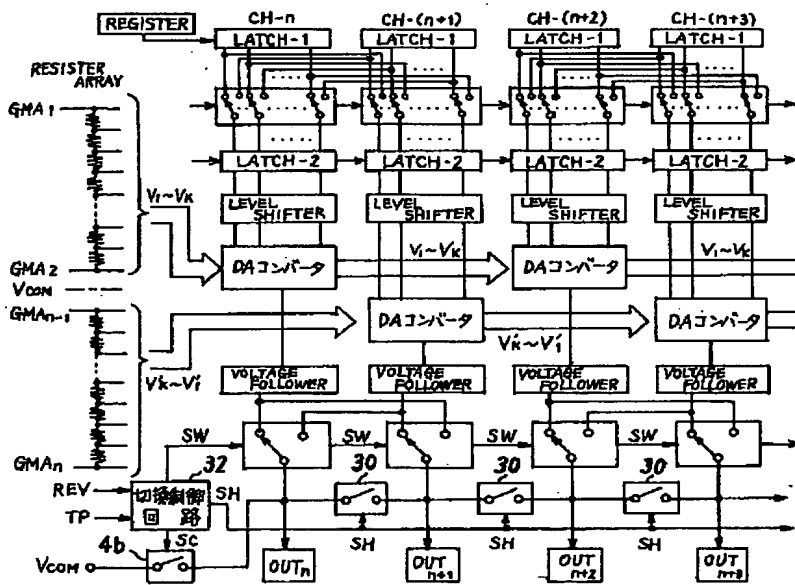
【図 4】



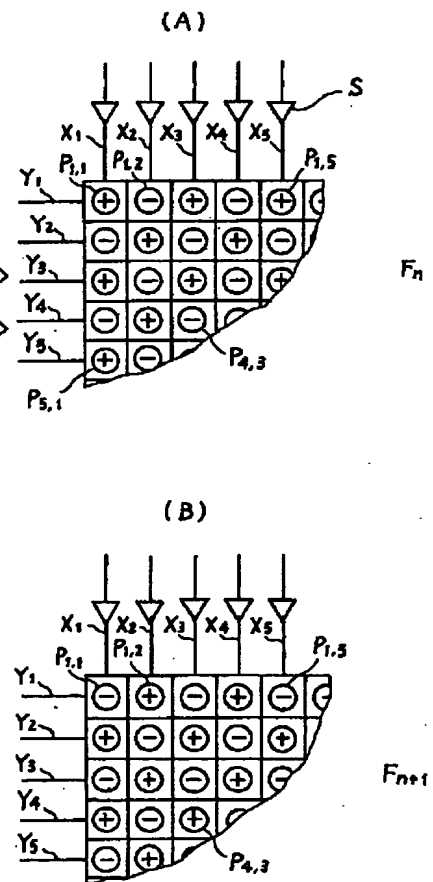
【図 5】



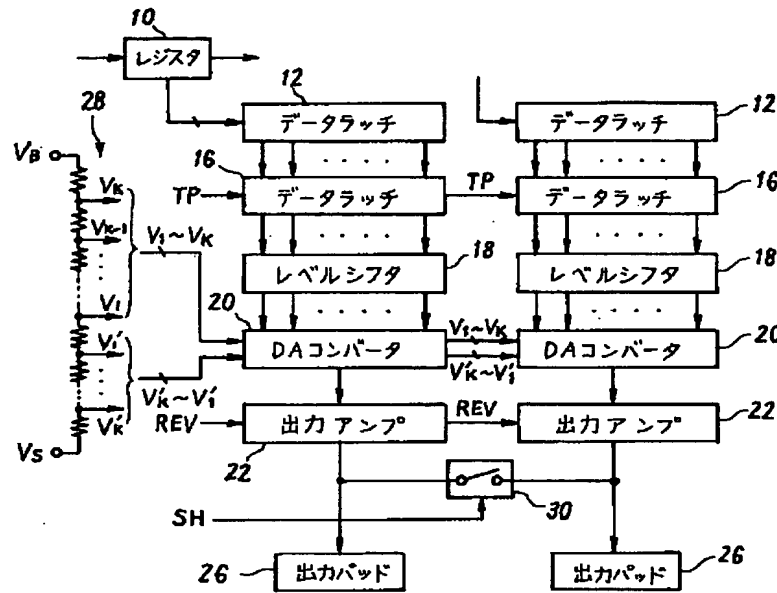
【図 6】



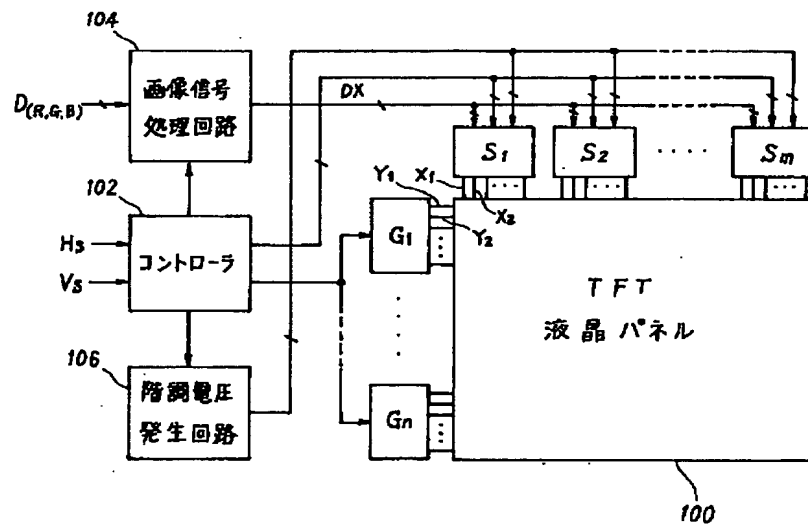
【図 13】



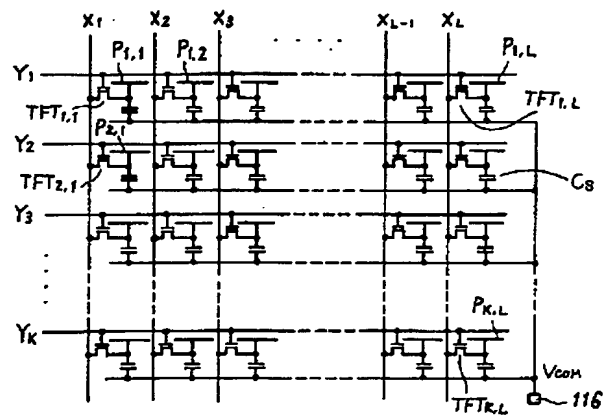
【図 7】



【図 8】



【図 10】



SIGNAL LINE DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

Patent Number: JP11095729
Publication date: 1999-04-09
Inventor(s): TAGUMA MICHIO; KANO SUSUMU
Applicant(s):: TEXAS INSTR JAPAN LTD
Requested Patent: ☐ JP11095729
Application Number: JP19970276526 19970924
Priority Number(s):
IPC Classification: G09G3/36 ; G02F1/133
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To make a signal line driving circuit possible to perform dot inversion drive of a common constant drive method by a low power consumption system, in a TFT liquid crystal display.

SOLUTION: A drive part equivalent to adjacent two channels (columns) is constituted of a pair of registers 10L, 10R, a pair of first data latch circuits 12L, 12R, a pair of first switch circuits 14L, 14R, a pair of second data latch circuits 16L, 16R, a pair of level shifters 18L, 18R, a pair of DA converters 20L, 20R, a pair of output amplifiers 22L, 22R, a pair of second switch circuits 24L, 24R and a pair of output pads 26L, 26R. Respectively corresponding signal lines (not shown in figure) in a liquid crystal panel are connected to the output pads 26L, 26R. An opening/closing switch 30 is connected between the output pads 26L, 26R. The opening/closing switch 30 is closed temporarily when a polarity of alternation is inverted to short-circuit adjacent signal lines each other.

Data supplied from the esp@cenet database - I2